ELABORATI DI PROGETTAZIONE SISTEMI EMBEDDED

Enrico Giordano VR386687

Indice

[Progetto 1: implementazione moltiplicatore in SystemC RTL 3](#_Toc417480057)

[Descrizione del progetto 3](#_Toc417480058)

[Interfaccia 3](#_Toc417480059)

[Descrizione EFSM 4](#_Toc417480060)

[Descrizione dei processi 5](#_Toc417480061)

[Progetto 2: implementazione moltiplicatore in SystemC TLM 7](#_Toc417480062)

[Descrizione del progetto 7](#_Toc417480063)

[TLM 7](#_Toc417480064)

[Interfacce 7](#_Toc417480065)

[Modello di comunicazione 7](#_Toc417480066)

[Untimed (UT) 7](#_Toc417480067)

[Loosely Time (LT) 8](#_Toc417480068)

[Approximately Timed (AT4) 8](#_Toc417480069)

[Comparazione di tempi tra TLM e RTL 8](#_Toc417480070)

[Progetto 3: tracciare L’evoluzione dei modelli RTL e TLM 9](#_Toc417480071)

[Progetto4: SystemC AMS 9](#_Toc417480072)

[Descrizione del progetto 9](#_Toc417480073)

[Controllore 10](#_Toc417480074)

[Impianto 10](#_Toc417480075)

[Testbench 11](#_Toc417480076)

[Interfaccia 11](#_Toc417480077)

[Progetto 5: Transattori 12](#_Toc417480078)

[TLM – RTL 12](#_Toc417480079)

[TLM - AMS 13](#_Toc417480080)

[Progetto 6: Asserzioni 14](#_Toc417480081)

[property1 14](#_Toc417480082)

[property2 14](#_Toc417480083)

[property3 15](#_Toc417480084)

[Progetto 7: VHDL 15](#_Toc417480085)

[Traduzione 15](#_Toc417480086)

[Struttura 16](#_Toc417480087)

[Progetto 8: VHDL Time 18](#_Toc417480088)

# Progetto 1: implementazione moltiplicatore in SystemC RTL

## Descrizione del progetto

Il progetto consisteva nella realizzazione di un moltiplicatore in virgola mobile, doppia precisione, tra due numeri con virgola.

Il risultato finale è formato da due moduli SystemC: un moltiplicatore implementato come FSMD (controllore + datapath) e un testbench per stimolare e verificare il progetto; tutto questo è stato diviso in più file:

* main.cc : descrive la modalità di collegamento tra il modulo mul\_RTL e il testbench;
* mul\_RTL.cc: descrive il modulo che esegue la moltiplicazione tra due numeri e genera in uscita il risultato;
* mul\_RTL\_testbench.cc : descrive il modulo testbench.

## Interfaccia

L’interfaccia è descritta nel file main.cc, che si occupa di collegare il modulo che esegue la moltiplicazione e il testbench per testarlo.

L’interfaccia si occupa di :

* creare le istanze del modulo del moltiplicatore e del modulo di testing;
* dichiarare le porte di ingresso e uscita del sistema e i segnali che permettono la comunicazione dei moduli precedentemente istanziati;
* eseguire il binding delle porte, ovvero di associare le porte ai rispettivi moduli garantendone la comunicazione.

I segnali istanziati nell’interfaccia sono i seguenti:

* clock: <sc\_logic> rappresenta il segnale sincrono di clock che gestisce lo scorrere degli istanti di tempo del sistema;
* reset\_signal: <bool> viene utilizzato per resettare il sistema.
* p\_In\_data1: <sc\_lv<64>> rappresenta un numero da moltiplicare;
* p\_In\_data2: <sc\_lv<64>> rappresenta un numero da moltiplicare;
* p\_In\_enable: <sc\_uint<1>> indica se può iniziare la computazione;
* p\_Out\_enable: <sc\_uint<1>> indica se è pronto un dato in uscita;
* p\_result: <sc\_lv<64>> rappresenta il risultato della moltiplicazione;

p\_In\_enable e p\_Out\_enable sono segnali che determinano rispettivamente l’inizio e la fine dell’esecuzione dell’algoritmo; di conseguenza vengono utilizzati come flag di collegamento e sincronizzazione tra il modulo di esecuzione e quello di test.

Per effettuare il collegamento, è stato necessario istanziare nel main i due moduli (mul\_RTL\_testbench e mul\_RTL) e collegare ogni loro segnale, input e output con i segnali sopra descritti. Dopo averli collegati, per far partire la simulazione si esegue la funzione sc\_start().

## Descrizione EFSM

L’EFSM, descritta nel file mul\_RTL.cc, è il modulo di elaborazione del sistema e rappresenta l’unione di datapath e macchina a stati finiti dell’algoritmo della moltiplicazione.

L’algoritmo che rappresenta questa macchina a stati è il seguente:

1. SR: reset di tutti i segnali e uscite;
2. S0: preparazione del sistema e inizializzazione delle porte di uscita e di ingresso (si scrive 0 in queste porte in modo da eliminare ogni segnale “sporco”);
3. SoI: lettura dei numeri ed estrapolazione delle singole parti di questi (segno, esponente e mantissa in variabili interne per facilitare i calcoli);
4. S1: somma degli esponenti per ottenere l’esponente del risultato;
5. S2: polarizzazione dell’esponente risultante (togliere 1023 da esso);
6. S3: prodotto tra mantisse in interazione (parte di controllo), ovvero controllo se si devono fare altri passi per la moltiplicazione (in tutto si fanno 52 controlli perché si deve controllare ogni bit della mantissa del secondo numero);
7. S31: prodotto tra mantisse in interazione (parte di esecuzione), ovvero se la mantissa del secondo numero all’indice i-esimo vale ‘1’, si somma alla mantissa risultante la mantissa del primo numero shiftandola di i volte;
8. S4: normalizzazione del risultato in interazione (parte di esecuzione), ovvero si controlla che non ci siano numeri dopo il 104-esimo bit, se ce ne sono si shifta la mantissa risultante a destra di 1 e si incrementa di 1 l’esponente risultante, altrimenti si shifta di 1 a sinistra la mantissa e si decrementa l’esponente;
9. S5: controllo di overflow, ovvero se l’esponente vale 0 o se la mantissa vale 0;
10. S7: normalizzazione del risultato in interazione (parte di controllo), ovvero si controlla se bisogna normalizzare ancora;
11. S8: calcolo del segno;
12. S9: preparazione del risultato da mandare in output.

Il file che contiene l’ESFSM contiene 2 metodi:

* void mul\_RTL :: elaborate\_mul\_FSM(void), che contiene la parte datapath (di calcolo);
* void mul\_RTL :: elaborate\_mul(void), che contiene la parte di fsm (cambio di stato).

## Descrizione dei processi

La procedura di esecuzione del sistema prevede l’istanziazione di due metodi descritti attraverso il comando “SC\_METHOD”, che sono rispettivamente i due processi sopradescritti. Questi processi sono dichiarati di tipo method poiché la loro esecuzione viene eseguita totalmente e può essere richiamata dal sistema più volte, senza mai essere interrotta.

I metodi sono sensibili ai cambiamenti di valore di una serie di segnali che compongono, per ogni metodo, una sensitivity list; al variare di valore di ogni segnale appartenente alla sensitivity list di un metodo, il metodo viene eseguito nuovamente. Un ulteriore procedura di istanziazione dei processi è quella che fa uso delle thread attraverso il comando “SC\_THREAD”. Il processo di testing è istanziato come thread, questo vuol dire che può essere lanciato una volta sola e interrotto attraverso il comando wait(), questo perché il testbench deve chiamare ed attendere il termine dell’esecuzione del modulo mul\_RTL. Tutti i processi sono sensibili al variare del clock.

mul\_RTL ha la sensitivity list descritta in questo modo:

sensitive << STATUS << isready << number\_a << number\_b;

mentre elaborate\_mul\_FSM ha questa sensitivity list:

sensitive << reset.neg();

sensitive << clk.pos();

# Progetto 2: implementazione moltiplicatore in SystemC TLM

## Descrizione del progetto

Si vuole implementare l’algoritmo della moltiplicazione tra due numeri in virgola mobile doppia precisione a livello TLM, utilizzando le tre tipologie di implementazione del livello TLM: UT, LT e AT4.

In realtà, poichè a livello TLM è più importante osservare come comunicano i differenti moduli tra di loro, senza dare enfasi all’effettivo funzionamento algoritmico già descritto a livello RTL, è stata implementata la moltiplicazione come una normale moltiplicazione tra due numeri in C++, mentre si è implementato il protocollo di comunicazione tra moduli secondo lo standard TLM.

## TLM

Il livello TLM prevede l’utilizzo di due tipologie di modulo per il funzionamento di un sistema.

Queste due tipologie sono **Initiator** e **Target**. Questi comunicano utilizzando specifiche primitive e sincronizzandosi tra di loro attraverso socket di comunicazione. Di seguito si vedranno le differenti modalità di comunicazione, ovvero Untimed (senza la nozione di tempo), Loosely Time e Aproximately Time.

## Interfacce

In questo modello di progettazione, le interfacce sono praticamente uguali tra le differenti modalità di comunicazione, cambia invece la descrizione di Initiator e Target. Vengono creati due moduli, rispettivamente per il moltiplicatore e il suo testbench, e istanziate nel main chiamandole eloquentemente m\_target e m\_initiator. L’initiator inizializza il socket di comunicazione collegandosi con il socket del target; in questo modo si riprende in parte il design pattern dell’Observer, che permette la comunicazione tra classi chiamando, con il metodo di invio, il metodo di ricezione della classe che deve ricevere.

## Modello di comunicazione

La modalità di comunicazione è molto simile tra moduli di diversi modelli descrittivi, infatti per il TLM in generale è possibile utilizzare dei modelli per progettare sia l’initiator sia il target. Ciò che cambia poi è la parte di esecuzione dell’algoritmo e il payload, ovvero la parte del messaggio che verrà inviato che contiene i dati calcolati dalla parte di esecuzione. Nella progettazione di questo elaborato quindi sono stati presi i template dei tre diversi tipi di comunicazione, cambiando quindi solo la parte di esecuzione (esecuzione della moltiplicazione dei dati ricevuti) e la parte di composizione del payload (invio del dato della moltiplicazione). Questo è uno dei punti importanti dell’utilizzo del TLM, in quanto permette di progettare velocemente il sistema, senza implementare molto codice in quanto si utilizza una parte templatica.

## Untimed (UT)

Nella tipologia di TLM il modulo Initiator è implementato nel file “mul\_UT\_testbench.cc”, mentre il modulo Target nel file “mul\_UT.cc”. Il modulo Target rappresenta nel nostro sistema, l’elaborazione vera e propria della moltiplicazione. Il modulo Initiator richiama l’elaborazione per eseguire l’algoritmo. L’Untimed utilizza la primitiva “b\_transport()”, differenziata in modalità Read e Write per la comunicazione tra i due moduli.

La b\_transport è stata implementata nel modulo Target e viene richiamata dal modulo Initiator per effettuare una simulazione in modalità Write, successivamente il Target comincerà ad elaborare i segnali in ingresso per calcolarne il risultato della moltiplicazione. Poichè sono concorrenti, l’Initiator richiama ulteriormente la primitiva b\_transport in modalità Read per poter leggere il risultato del modulo Target. Questo è visibile nel payload, (pacchetto di dati che viene inviato dalla b\_transport) solo successivamente al “TLM\_OK\_RESPONSE” che rappresenta la fine dell’elaborazione del Target.

## Loosely Time (LT)

Anche in questo caso l’elaborazione si divide in modulo Target e Initiator, i quali comunicano tra loro attraverso i rispettivi socket. Come per l’UT l’Initiator richiama la primitiva b\_transport, implementata nel modulo Target, per richiedere al Target l’esecuzione dell’elaborazione. Questo modello si differenzia dall’Untimed in quanto è necessario considerare una sincronizzazione a livello temporale tra i due moduli Target e Initiator. Anche qui l’Initiator richiama la b\_transport in modalità Write per inviare il payload contenente gli input per l’elaborazione del MUL al Target. Il Target, ricevuto il payload, comincia la sua elaborazione e una volta terminata risponde all’Initiator con il messaggio “TLM\_OK\_RESPONSE”. Siccome i moduli sono concorrenti l’Initiator richiama una seconda volta la b\_transport in modalità Read per leggere i risultati dell’esecuzione che saranno disponibili solo dopo il “TLM\_OK\_RESPONSE”. Il tempo viene gestito in modalità di sincronizzazione dei due moduli e visualizzato in fase di esecuzione.

## Approximately Timed (AT4)

L’Approximately Timed si distingue dagli stili precedenti per l’utilizzo di due primitive:

* nb\_transport\_fw: viene implementata nel Target e viene invocata dall’Initiator per richiedere l’esecuzione della moltiplicazione al Target o richiederne i risultati; sostituisce la b\_transport dei modelli precedenti;
* nb\_transport\_bw: viene implementata nell’Initiator e viene invocata dal Target quando il Target ha terminato il calcolo della moltiplicazione e per notificare all’Initiator la possibilità di ricevere i risultati dell’algoritmo. L’Approximately Timed distingue quattro fasi operative che identificano richiesta e risposta della transport forward e richiesta e risposta della transport backward.

## Comparazione di tempi tra TLM e RTL

Le tempistiche di esecuzione del sistema a livello RTL e TLM consentono di vedere come il sistema sia ottimizzato in termini di ritardo maggiormente a livello RTL rispetto TLM-UT. Si nota infatti, che l’esecuzione del sistema a livello RTL impiega circa XXXXXX, mentre a livello TLM-UT XXXXX. Questo perché, il livello UT non è ottimizzato in termini di ritardo contenendo una wait che blocca l’Initiator durante tutta l’esecuzione del Target. Analogamente, lo stesso tempo lo riporta il TLM-LT. Diversamente il più vicino alle prestazioni di esecuzione dell’ RTL è il TLM-AT4 che, sfruttando le sue quattro fasi, permette un’esecuzione concorrenziale “non completamente bloccante” dei due moduli Target e Initiator, portando il ritardo di esecuzione a XXXXXXX.

La scelta di utilizzare un modello TLM rispetto a RTL è utile per analizzare come i diversi moduli possono comunicare tra di loro, senza avere un sistema che rappresenta effettivamente quello che succede all’interno dei moduli. Infatti la moltiplicazione è stata rappresentata come una semplice moltiplicazione in C++, mentre si è data molta più enfasi alla comunicazione tra moduli.

# Progetto 3: tracciare L’evoluzione dei modelli RTL e TLM

Fill the code of your TLM\* and RTL implementations with

sc\_time\_stamp invocations

• Report the output of simulation

• Justify system execution by determining dependencies between

processes

• Compare output of simulation and obtained trace file

– Compare RTL and TLM\* simulation flows

• Justify the differences

# Progetto4: SystemC AMS

## Descrizione del progetto

Si vuole implementare un modello di sistema analogico composto da un controllore, che ha la funzionalità di pilotare e controllare in base a stimoli derivati dall’impianto in autoanello, e dal sistema fisico che tratta segnali analogici.

L’impianto fisico evolve in base agli stimoli secondo questa funzione di trasferimento:

𝑃 (𝑠) = 1 / (13𝑠 + 𝑠2)

mentre il controllore segue questa equazione alle differenze:

k (𝑡) = 𝑘 (𝑡 – 1) + 100 ∗ [𝑒(𝑡) − 𝑒 (𝑡 – 1)] + 𝑇𝑠 ∗ 𝑒(𝑡)

Il Controller riceve due segnali: un segnale di riferimento *r(t)*, ottenuto in questo caso da un file in cui per ogni riga c’è un valore, e un segnale di “errore” *e(t)* che deriva dal calcolo dell’impianto. Il controller, in base al calcolo dell’errore e del segnale, esegue l’equazione alle differenze. Il calcolo dell’errore deve derivare da questa formula:

𝑒(𝑡) = 𝑟(𝑡) – 𝑦(𝑡)

Gli step di tempo devono essere di 20 ms, quindi ogni nuovo riferimento *r(t)* viene preso dal file ogni 20 ms, quindi il controllore deve essere abbastanza veloce per permettere all’impianto di campionare regolarmente ogni valore.

Per implementare il tutto, è stato deciso di utilizzare come MoC il TDF, in quanto l’impianto è a tempo discreto e il controllore esegue un’equazione alle differenze. Il controllore è stato diviso in due moduli: il primo esegue la computazione dell’errore e il secondo computa *k(t)*.

Sarebbe stato possibile usare anche come MoC il TDF per il Controllore e il LSF per l’Impianto, un quanto l’impianto poteva essere interpetato come sistema completamente analogico; ci sarebbe stata facilità di collegamento tra i due moduli in quanto nel LSF non è necessario descrivere la velocità di campionamento, ma per semplicità (e calandosi in un contesto in cui il Time To Market è importante) è stato deciso di implementare entrambi in TDF, in modo da avere un template comune semplice da implementare.

## Controllore

Il Controller è diviso in due moduli:

* un modulo **controller\_err**, che calcola l’errore derivato dalla differenza di segnale di riferimento e del segnale di calcolo dell’impianto;
* un modulo **controller**, che calcola l’equazione alle differenze precedentemente descritta.

Visto che è stato deciso di utilizzare il MoC TDF, è stato necessario implementare le 3 funzioni:

* *set\_attributes()*, in cui si imposta il timestep (20 ms) e il delay della porta di uscita;
* *initialize()*, in cui si inizializza il sistema (quindi le variabili interne);
* *processing()*, in cui si esegue l’algoritmo (calcolo dell’equazione alle differenze per controller e )

La dichiarazione e il costruttore dei moduli del controllore avvengono nei file controller.h e controller\_err.h e differiscono da quelli di SystemC non AMS, in quanto bisogna lavorare con oggetti e variabili di SystemC AMS (contraddistinti dalla ‘a’ di “analog” in parte a “sc”), opportunamente scelti in base al MoC di riferimento (in questo caso sono “sca\_tdf”). Il costruttore del modulo è chiamato SCA\_CTOR.

## Impianto

Questo viene descritto dal modulo **p\_plant**, nei file p\_plant.h e p\_plant.cc. Si è deciso di utilizzare un MoC di tipo TDF per i motivi descritti sopra.

La differenza sostanziale tra questo modulo e quello del controllore è l’utilizzo della funzione di trasferimento per calcolare l’output: prima di calcolarla è necessario impostare i valori del numeratore e del denominatore, in particolare vanno impostati i coefficienti delle variabili della formula fino al grado massimo descritto (partendo da 0 per il coefficiente senza variabile) sia del numeratore che del denominatore; successivamente nel metodo di calcolo effettivo si esegue la funzione di trasferimento tramite il metodo *ltf\_nd*, che riceve in input il numeratore precedentemente impostato, il denominatore, ciò che è stato letto in quell’istante dall’input e il DC gain.

## Testbench

Questo è l’unico modulo del sistema che non è stato descritto in SystemC AMS, in quanto deve solamente leggere i valori da file per generare il valore di riferimento del controllore. La modalità di collegamento tra SystemC e SystemC AMS verrà discussa nella sezione “Interfaccia”. Come per gli altri moduli in SystemC, è stato implementato un modulo operativo che si occupa della lettura del file e l’invio dei dati e un generatore di clock che permetta di dare all’intero sistema un clock a cui essere sensibili.

## Interfaccia

Nel file main.cc viene descritta la modalità di collegamento tra tutti i moduli. I moduli TDF sono stati collegati semplicemente usando segnali del SystemC AMS, mentre il segnale *r\_in*, proveniente da un modulo SystemC, è stato dichiarato in ambiente SystemC.

Per permettere la comunicazione tra un modulo SystemC e SystemC AMS, è stato deciso di integrare la parte “digitale” in ambiente “analogico” e non viceversa, in quanto si tratta di una semplice lettura di un modulo analogico di un valore digitale. Quindi il testbench invia il valore utilizzando un normale output, mentre il controller\_err riceve il valore tramite l’input dichiarato in questo modo:

sca\_tdf::sca\_de::sca\_in<double> r\_input;

In questo modo, il file di interfaccia non deve fare altro che collegare in maniera semplice i due tipi di moduli, non corrompendo la normale esecuzione dello scheduler di SystemC. Facendo il contrario invece (cioè facendo un “cast” all’interno del controller\_err in modo da convertire un segnale analogico in ambiente digitale) non avrebbe dato errore di compilazione, ma lo scheduler non sarebbe stato in grado di eseguire tutti i binding di segnali e quindi avrebbe dato errori in esecuzione.

Come da prassi, in questo file è stato istanziato ogni modulo e creato un segnale per ogni coppia di input/output per collegare i vari moduli.

• Check the execution:

– Plot and compare the inputs and the outputs

• Remember: the reference is the desired output!

• Gnuplot or tracing

– Maybe easier using gnuplot!

• Use the set of inputs given for the reference!

# Progetto 5: Transattori

I Transattori sono dei modelli in SystemC che permettono di far comunicare e collegare moduli di diversa natura e descrizione. In questo progetto sono stati implementati due tipi di transattori: uno tra SystemC RTL e SystemC TLM e uno tra SystemC TLM e SystemC AMS. Da notare che non è stato implementato un transattore tra SystemC AMS e SystemC RTL in quanto non serve, esistono già delle primitive in SystemC AMS per comunicare con un modulo RTL, discusse nel precedente progetto di SystemC AMS.

Un Transattore è una sorta di “traduttore” di segnale: si deve mettere in comunicazione con i due moduli di diversa natura, riceve un segnale e lo modifica in modo da essere comprensibile al modulo che deve riceverlo. Come si vedrà di seguito, per la parte TLM/RTL comunicherà secondo lo standard TLM con il modulo TLM, mentre comunicherà con RTL secondo lo scambio di segnali tipico di RTL; invece per TLM/AMS, mentre per la parte TLM sarà uguale alla descrizione precedente, con il modulo AMS comunicherà con lo standard AMS.

Da notare che, una volta creato il transattore, sarà “portabile” tra diversi moduli con la stessa descrizione di porte: se si dovessero modificare i moduli che deve far comunicare, a meno di cambiamenti sostanziali di configurazione di input/output, sarà ancora valido per farli comunicare. Questo permette una buona scalabilità dell’architettura, quindi ha un ottimo impatto esplorativo del sistema come deve essere per SystemC.

## TLM – RTL

I moduli TLM e RTL da cui partire sono gli stessi dei precedenti progetti; ciò che cambia è il file di interfaccia tra i moduli, che dovrà connettere TLM, Transattore e RTL, e il nuovo modulo del Transattore.

Il modulo Transattore ha una parte tipica della descrizione TLM, ovvero tutta la struttura del messaggio TLM (socket e messaggio con payload), un’interfaccia TLM per usare i metodi tipici del TLM, come la b\_transport, dichiarata come *virtual*, e una parte descritta in RTL, quindi con le porte di ingresso, di uscita e i segnali. I processi utilizzati sono:

* *WRITEPROCESS()*, che si occupa di scrivere in ambiente RTL le informazioni passate dal modulo TLM verso il modulo RTL;
* *READPROCESS()*, che si occupa di leggere il risultato calcolato dal modulo RTL e inoltrarlo al modulo TLM tramite ioDataStruct, notificando la fine dell’eborazione tramite il metodo *notify().*

Per la comunicazione effettiva con il modulo TLM, è stato utilizzata la b\_transport, in modo da rimanere attinenti allo standard TLM. Entrambi i processi sono sensibili al clock.

Il file di interfaccia, il main\_root\_RTL.cc, è stato modificato in modo da collegare tutte le parti del sistema come è da prassi, ricordandosi che il collegamento deve essere fatto tra TLM - Transattore e Transattore – RTL.

## TLM - AMS

In questo caso, si doveva far comunicare un modulo TLM con un modulo AMS, quindi il Transattore doveva utilizzare la parte tipica del TLM (messaggi e socket) e la parte AMS, più vicina a RTL. I processi READPROCESS() e WRITEPROCESS() quindi sono molto simili a quelli della descrizione precedente, considerando AMS come oggetto simile ad una descrizione RTL; come è stato detto nel progetto di SystemC AMS, è necessario convertire un segnale digitale in ambito analogico e non viceversa. Questo passaggio è stato fatto nel file *rtl\_2\_tdf.hh*, nella variabile r\_rtl:

sca\_tdf::sca\_de::sca\_in<double> r\_rtl;

Si è deciso di dividere in più file questa descrizione rispetto a quella precedente in quanto è molto più chiara la divisione in parti e il procedimento di “conversione” dei valori passati, in modo che sia tutto più scalabile; infatti la parte TLM è nei file *testbench\_TLM*, la parte di conversione di segnali è nei file *rtl\_2\_tdf* e *tlm\_2\_rtl*, mentre la parte AMS è nei file *error, controller*  e *plant.*

Anche in questo caso, il file di configurazione permette di interfacciare tramite segnali tutti i moduli, collegando TLM – Transattore – AMS.

# Progetto 6: Asserzioni

Le asserzioni hanno lo scopo di testare un’architettura descritta in SystemC in modo da evidenziarne le qualità e i difetti. In particolare, un’asserzione, come in un normale programma in SystemC, possono bloccare l’esecuzione qualora ci fosse qualche condizione importante violata (controllata appunto dalle asserzioni).

Si è deciso di definire tre proprietà, come da specifiche, per il moltiplicatore e non per AMS, poiché non è testabile con le asserzioni.

Le proprietà da verificare sono state dichiarate come funzioni che poi verranno eseguite sotto forma di thread per non intaccare il normale funzionamento del sistema. Poichè però vengono schedulate insieme al resto della simulazione, si è deciso di non interrompere la simulazione per la proprietà che risulta sempre falsa. Questo è stato deciso soprattutto perché altrimenti non si sarebbero viste le altre asserzioni (lo scheduler può mandare in esecuzione prima l’asserzione sempre falsa e, interrompendo la simulazione, non avrebbe reso visibili le altre sempre vere).

Le asserzioni hanno una loro sensitivity list, in modo da essere risvegliate al momento opportuno e per fare quindi i relativi test.

## property1

Questa controlla che non passano più di 500 cicli di clock dalla ricezione dei valori in input e il calcolo dei valori. Questo è sempre vero perché la fsm e datapath vengono attivati ad ogni ciclo di clock, considerando che ci sono 11 stati, il sistema impiegherà almeno 22 cicli di clock se dovesse percorrerli tutti almeno una volta e al massimo circa 100 cicli se si dovesse normalizzare il massimo numero normalizzabile, ma mai 500 cicli.

## property2

Questa controlla che nella situazione iniziale, quando i numeri non sono pronti per essere calcolati, quindi con il bit di conferma inizio calcolo posto a 0, il risultato e il bit di conferma di risultato calcolato non valgono 1 (valgono X...X e 0). Questo è evidentemente sempre vero perché quando non è pronto l’input da calcolare, di sicuro non è pronto l’output di risultato.

## property3

Questa che, se la mantissa è stata normalizzata, il bit di verifica che notifica alla FSM se la mantissa è stata vale 0. Questo è un paradosso perché se la mantissa è stata normalizzata, il sistema imposta quel bit a 1, altrimenti la FSM non saprebbe quando cambiare stato. La condizione pertanto risulta sempre falsa. Da questa è stata tolta però la funzione sc\_stop() altrimenti la property1 non darebbe mai il risultato: questo perché la sensitivity list di property1 contiene il clock e deve effettivamente contare i cicli di clock che passano; quindi viene schedulata per più tempo di questa e, quando questa sarebbe fallita, non si sarebbe potuto vedere il risultato di property1. Un altro motivo per cui non si sarebbe visto property1 è il fatto che deve aspettare che tutta la computazione sia completata, mentre property3 testa una condizione a metà computazione.

# Progetto 7: VHDL

Nella progettazione finale di un sistema embedded, utilizzando lo standard di progettazione visto nel corso di Progettazione Sistemi Embedded, il passo finale è la “traduzione” del modello di simulazione SystemC RTL in un effettivo sistema descritto in VHDL. Storicamente il VHDL è nato per la simulazione più che per la sintesi, ma propone un ottimo modello per tradurre il sistema simulato su PC in un effettivo circuito. In questo progetto si vedrà come si è sviluppato questo processo.

## Traduzione

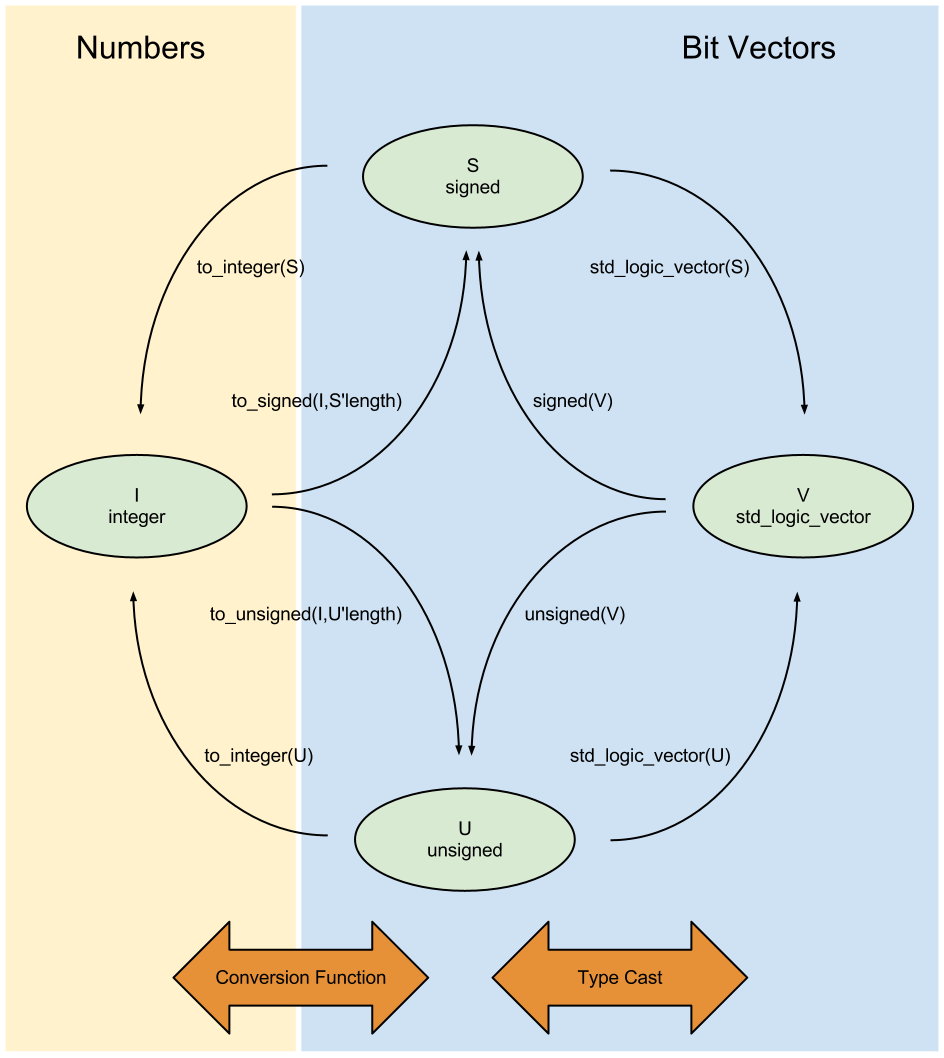
Si dice che, qualora il modello descritto in SystemC sia stato progettato bene, la descrizione del medesimo modello in VHDL dovrebbe essere una “mera” traduzione di linguaggio. In realtà, poichè la simulazione in VHDL rappresenta effettivamente cosa succede in un circuito, con i segnali elettrici che variano, oltre ad una semplice traduzione si esegue anche una procedura di riadattamento del proprio modello.

Particolare attenzione bisogna prestare al linguaggio VHDL, che si presenta fortemente tipato e quindi può prestare problemi rispetto al C++ che esegue spesso in automatico la conversione di tipi tramite polimorfismo delle funzioni stesse; il codice quindi risulta modificato da continui “cast” tra tipi, qualora fossero stati implementati.

Infine, problema principale di tutta la progettazione, bisogna prestare attenzione al fine ultimo di questa progettazione: visto che bisogna creare un effettivo sistema, quindi un circuito, tutta la descrizione deve essere sintetizzabile: non deve quindi contenere variabili di tipo non sintetizzabile (tipo integer), non deve contenere cicli while e deve rispettare i quattro modelli di sintesi. Sapendo queste cose a priori, basta stare attenti durante la descrizione in SystemC a non riprodurre queste situazioni non sintetizzabili, altrimenti bisogna effettivamente modificare il codice e non si ha più una traduzione ma una riprogettazione di tutto il sistema.

Le variabili utilizzate quindi sono state prettamente std\_logic\_vector, bit e unsigned, poichè nella tabella di cast descritta nella documentazione del VHDL sono i tipi sintetizzabili e utilizzabili per qualunque cast (seguendo un ordine di cast specifico).

L’unico tipo diverso che è stato utilizzato è uno definito dall’utente, quindi enumerativo, FSM\_ST, per rappresentare gli stati della FSM.



## Struttura

Poichè si doveva costruire un modello di FSMD, è stata descritta una entity che ha come porte clock, reset, isready (pronto per calcolare), number\_a e number\_b (numeri presi in input da cui calcolare il risultato), out\_result (output del risultato). L’architecture contiene i segnali che fanno comunicare la FSM descritta e il Datapath della stessa, che sono gli stessi segnali descritti nel modello SystemC.

La parte sequenziale algoritmica, descritta con i relativi process, descrive ciò che effettivamente accade dentro alla FSM, che cambierà stato rispetto ai segnali corrispondenti, e al Datapath.

Write your Multiplier device by using the VHDL language

– To stimulate the design, write a stimuli.do script

– Save the waveform produced by simulation

• Constraints:

– Every process has to be implemented using a valid style for the synthesis

• Combinational

• Mixed Combinational with asynchronous latches

• Sequential asynchronous

• Sequential synchronous

– The used data-types have to be HW datatypes for synthesis

• Logic, bit, unsigned

• For the report

– Justify the choices related the process style and datatypes

– Explain your testbench and justify the simulation waveforms

# Progetto 8: VHDL Time